

(12) SOLICITUD INTERNACIONAL PUBLICADA EN VIRTUD DEL TRATADO DE COOPERACIÓN EN MATERIA DE PATENTES (PCT)

(19) Organización Mundial de la Propiedad
Intellectual
Oficina internacional



(10) Número de Publicación Internacional
WO 2010/130865 A1

(43) Fecha de publicación internacional
18 de noviembre de 2010 (18.11.2010)

PCT

(51) Clasificación Internacional de Patentes:
H03M 1/10 (2006.01)

(21) Número de la solicitud internacional:
PCT/ES2010/070321

(22) Fecha de presentación internacional:
13 de mayo de 2010 (13.05.2010)

(25) Idioma de presentación: español

(26) Idioma de publicación: español

(30) Datos relativos a la prioridad:
P 200930172 14 de mayo de 2009 (14.05.2009) ES

(71) Solicitantes *(para todos los Estados designados salvo US)*: **CONSEJO SUPERIOR DE INVESTIGACIONES CIENTÍFICAS (CSIC)** [ES/ES]; C/ Serrano, 117, E-28006 Madrid (ES). **UNIVERSIDAD DE SEVILLA** [ES/ES]; C/ San Fernando, 4, E-41004 Sevilla (ES).

(72) Inventores; e

(75) Inventores/Solicitantes *(para US solamente)*: **GINÉS ARTEAGA, Antonio José** [ES/ES]; Instituto de Microelectrónica de Sevilla (IMS-CNM), C/ Américo Vespucio, s/n, Isla de la Cartuja, E-41092 Sevilla (ES). **PERALÍAS MACÍAS, Eduardo José** [ES/ES]; Instituto de Microelectrónica de Sevilla (IMS-CNM), C/ Américo Vespucio, s/n, Isla de la Cartuja, E-41092 Sevilla (ES). **RUEDA RUEDA, Adoración** [ES/ES]; Universidad de Sevilla, C/ San Fernando, 4, E-41004 Sevilla (ES).

(74) Mandatario: **PONS ARIÑO, Ángel**; Glorieta de Rubén Darío, 4, E-Madrid 28010 (ES).

(81) Estados designados *(a menos que se indique otra cosa, para toda clase de protección nacional admisible)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Estados designados *(a menos que se indique otra cosa, para toda clase de protección regional admisible)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), euroasiática (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europea (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publicada:

— con informe de búsqueda internacional (Art. 21(3))

(54) Title: ADAPTIVE METHOD FOR ESTIMATING THE INL IN ANALOG-TO-DIGITAL CONVERTERS (ADCs)

(54) Título : PROCEDIMIENTO ADAPTATIVO PARA LA ESTIMACIÓN DE LA INL EN CONVERTIDORES ANALÓGICO-DIGITALES (ADCs)

(57) Abstract: The invention relates to a low-cost digital method for estimating the integral non-linearity (INL) in analog-to-digital converters. Said method is valid for the testing and characterisation of any analog-to-digital conversion topology in both concurrent and non-concurrent built-in self-test BIST applications.

(57) Resumen: El objeto de la presente invención es un procedimiento digital de bajo coste para la estimación de la No-Linealidad-Integral (Integral-Non-Linearity, INL, según sus siglas en inglés) en Convertidores Analógico-Digitales (Analog to Digital Converters, ADC, según sus siglas en inglés). Dicho procedimiento es válido para el test y caracterización de cualquier topología de conversión analógico-digital en aplicaciones BIST (de sus siglas en inglés, Built-In Self-Test) concurrentes como no concurrentes.



WO 2010/130865 A1

PROCEDIMIENTO ADAPTATIVO PARA LA ESTIMACIÓN DE LA INL EN CONVERTIDORES ANALÓGICO-DIGITALES (ADCs)

DESCRIPCIÓN

5

OBJETO DE LA INVENCION

El objeto de la presente invención es un procedimiento digital de bajo coste para la estimación de la No-Linealidad-Integral (Integral-Non-Linearity, INL, según sus siglas en inglés) en Convertidores Analógico-Digitales (Analog to Digital Converters, ADC, según sus siglas en inglés). Dicho procedimiento es válido para el test y caracterización de cualquier topología de conversión analógico-digital.

En el caso particular de un ADC de tipo *flash*, la invención describe un procedimiento específico para la estimación del *offset* en sus comparadores analógicos. Este procedimiento específico se aplica directamente a ADCs multi-etapas (conocidos en la bibliografía como ADCs de tipo Pipeline) permitiendo caracterizar la no-linealidad del sub-ADC de cada etapa en dicha estructura, sin modificación alguna en la sección analógica del mismo.

20

ANTECEDENTES DE LA INVENCION

El aumento de la complejidad de los sistemas actuales de señal mixta integrado conjuntamente en un único chip (Systems-on-Chip, SoCs, de sus siglas en inglés) introduce unos requerimientos adicionales en la administración y control del consumo de potencia y temperatura. La necesidad de reducir el tiempo de testado y coste de instrumentación requiere soluciones simples que permitan una co-integración de hardware de testado con el propio dispositivo bajo test (DUT, Device Under Test según sus siglas en inglés). Los requerimientos de estas soluciones de test, denominadas en la bibliografía como BIST (de sus siglas en inglés, Built-In Self-Test), son especialmente críticos para los convertidores de datos, y más específicamente para ADCs,

25

30

debido a su naturaleza de señal mixta (véanse las publicaciones D. Lee, K. Yoo, K. Kim, G. Han, S. Kang, "Code-width testing-based compact ADC BIST circuit," IEEE Trans. on Circuits and Systems II, vol.51, no.11, pp. 603-606, Nov. 2004, así como, H. Xing, H. Jiang, D. Chen and R. Geiger, "A fully digital-compatible BIST strategy for ADC linearity testing," IEEE International Test Conference, pp.1-10, Oct. 2007). Estas soluciones BIST deben detectar la operación correcta o errónea del ADC en un ambiente cambiante, ya que tanto la temperatura como las condiciones de polarización dependen drásticamente de la actividad del sistema completo.

10

Tradicionalmente, la caracterización estática de estos convertidores se realiza mediante métodos basados en histogramas usando una referencia analógica con mayor resolución que el ADC bajo test (ADCUT, de sus siglas en inglés ADC Under Test), como se detalla en las publicaciones, IEEE Standards, "IEEE standard for terminology and test methods for analog-to-digital converters," IEEE Std 1241-2000, 2001, así como, S. M. Max, "Testing high speed high accuracy analog to digital converters embedded in systems on a chip," IEEE International Test Conference, Paper 29.3, 1999, pp. 763-771. Junto a los inconvenientes de la generación de esta referencia de test dentro del mismo chip (generación on-chip), y el alto coste y complejidad de la lógica requerida para la evaluación de los histogramas, estos métodos requieren interrumpir el camino natural de la señal analógica de entrada para inyectar el estímulo de test. Por tanto, la evaluación del efecto de la temperatura y cambios en la polarización no se pueden testar sin interrumpir la operación del ADC.

25

Como su propio nombre indica, un convertidor analógico-digital es un sistema que traslada el valor analógico de una cierta señal x a una representación digital. El código de salida resultante c se codifica, como se muestra en la Fig.1, mediante una palabra digital de r -bits, $c \in [0, M]$, donde r es la resolución del convertidor y el parámetro M define el código máximo dado usualmente por 2^{r-1} .

30

Cada uno de los $M+1$ códigos identifica una zona particular dentro del rango de entrada (Full-Scale Range, FSR, según sus siglas en inglés) del ADC (FSR = $2R$). De hecho, el intervalo de la entrada analógica (x) correspondiente al j -ésimo nivel digital, donde j es un número entero que barre todos los códigos posibles desde 1 hasta $M-1$, viene dado por,

$$\text{cuando } c = j \in [1, M-1] \Rightarrow x \in [t_j, t_{j+1}] \quad (1)$$

donde t_j define el valor analógico correspondiente a la transición de código para el cual la salida cambia del código j al código $j+1$.

En un ADC ideal, la diferencia entre dos transiciones consecutivas, también denominada umbrales, es una constante, $q = t_{j+1} - t_j$, llamada cuanto del convertidor o bit menos significativo (Least Significant Bit, LSB, de sus siglas en inglés) que define la mínima resolución discriminada en el proceso del cuantización de la entrada analógica (x). El valor del cuanto ideal q puede evaluarse en función de la resolución r y la referencia R del convertidor como $q = 2R/2^r$. En la práctica, los efectos de segundo orden en el sistema, como el desapareamiento aleatorio entre componentes, los errores de ganancia y *offset*, así como, las variaciones dependientes de cambios en la temperatura y polarización, introducen una desviación respecto al comportamiento nominal que puede degradar las prestaciones del ADC. El impacto de estos errores en el comportamiento estático se caracteriza clásicamente mediante la INL (véase el estándar de la IEEE, "IEEE standard for terminology and test methods for analog-to-digital converters," IEEE Std 1241-2000, 2001). Como se muestra en la Fig.2, este parámetro se define como la desviación de cada transición t_j respecto a su valor ideal $t_j^{(\text{ideal})}$ normalizado usualmente por el LSB del convertidor,

$$INL_j = 1/q \cdot (t_j - t_j^{(\text{ideal})}) \quad (2)$$

Hay que destacar, que en el caso particular de un ADC de tipo *flash* la medida de la INL se encuentra directamente relacionada con el *offset* efectivo

(off_j) en los comparadores analógicos del ADC, en la forma,

$$off_j = (t_j - t_j^{(ideal)}) = q INL_j \quad (3)$$

- 5 ya que para esta topología existe un comparador específico ($Comp_j$) por cada transición t_j del ADC. Por tanto, conocida la INL se tiene determinado unívocamente el *offset* en los comparadores analógicos.

Independientemente de la topología de convertidor considerada, se hace
10 evidente atendiendo a la definición previa que la evaluación de la característica estática del ADC requiere una estimación, ya sea directa o indirecta, de las transiciones representativas t_j . Tradicionalmente, este proceso, denominado prelación, se ha realizado de forma estadística considerando una señal de baja frecuencia cuyas propiedades son conocidas a priori (generalmente, una
15 referencia sinusoidal, rampa o triangular, como se muestra en el estándar de la IEEE, "IEEE standard for terminology and test methods for analog-to-digital converters," IEEE Std 1241-2000, 2001). Este proceso calcula la probabilidad de la salida evaluando histogramas acumulativos para los códigos excitados. Comparando la probabilidad medida con la esperada para la referencia
20 considerada, se puede identificar el conjunto de transiciones reales, y por tanto la INL.

Debido a su simplicidad y robustez frente a las fuentes de ruido aleatorio, el método de histogramas se ha convertido en uno de los estándares
25 más difundidos para la caracterización estática de ADCs. Sin embargo, esta situación puede ser radicalmente distinta en aplicaciones donde el hardware de testado debe ser con-integrado con el convertidor bajo test (ADCUT). En estas aplicaciones BIST, las técnicas basadas en histograma presenta dos requerimientos prácticos que es necesario destacar: a) la dificultad de
30 generación en el mismo chip de la referencia analógica con la precisión requerida, b) los requerimientos elevados de la lógica digital para evaluar histogramas acumulativos, ya que se necesita un acumulador digital por cada

código de salida.

Adicionalmente, los métodos tradicionales basados en histograma requieren romper el camino natural de la señal analógica de entrada para poder
5 inyectar el estímulo o referencia de test, y por tanto, estos métodos no son
válidos para una medida concurrente de la INL. En este documento se entiende
por “medida concurrente” una medida que no afecta a la operación normal del
circuito bajo test, es decir, no requiere la interrupción de la conversión
analógica-digital de la señal de entrada para introducir un estímulo de test
10 específico.

DESCRIPCIÓN DE LA INVENCION

Un primer aspecto de la presente invención describe un procedimiento
15 para la estimación de la INL en convertidores analógico-digitales (ADCs) que
soluciona los problemas descritos anteriormente para aplicaciones BIST de una
forma sencilla y eficiente. La invención emplea una técnica adaptativa para la
medida de las transiciones reales del ADC cuyo INL se desea medir (en lo que
sigue denotado como, ADCUT, Analog to Digital Converter Under Test, de
20 acuerdo con sus siglas en inglés), calculándose la INL como la distancia entre
éstas y las transiciones a priori conocidas del ADC ideal.

En el presente documento se emplearán los siguientes términos y
notaciones:

25

- Denotaremos por x la señal analógica de entrada del ADCUT, que es el ADC cuya INL se desea estimar.
- La señal c define el código de salida del ADCUT, que generalmente vendrá afectada por los errores de no-linealidad del mismo.
- 30 - El código digital T_j define la estimación digital de las transiciones reales t_j del ADCUT determinado por el procedimiento propuesto.
- $T_j^{(ideal)}$ identifica los valores digitales de las transiciones correspondientes a

un convertidor ideal. Nótese que fijada la resolución y la codificación del ADCUT dichos valores se encuentra unívocamente definidos, y por tanto, se conocen a priori.

- La variable mayúscula X representa una estimación digital de la entrada analógica x con mayor precisión que el código de salida del ADCUT, previamente definido por c .
- El número entero n es el índice de actualización del procedimiento. Salvo que sea estrictamente necesario, esta variable será implícitamente asumida para simplificar la notación.
- En lo que sigue, distinguiremos con el índice j , la transición t_j y estimación digital T_j , asociado al j -ésimo comparador ($Comp_j$), definido por el código de salida c del ADCUT, es decir, $j = c$; mientras que el índice i es una variable muda que identifica a cualquier comparador del ADCUT.

Teniendo en cuenta la nomenclatura introducida, el procedimiento de la invención inicializa, como se detalla en la Fig.3, el valor de las estimaciones de las transiciones digitales reales T_i del ADCUT con el valor de las transiciones ideales a priori conocidas $T_i^{(ideal)}$. A continuación, se realizan las siguientes operaciones:

1) En primer lugar, se emplea el ADCUT para obtener una representación digital (c) de la señal analógica (x), donde el índice de actualización n se ha asumido implícitamente para simplificar la notación, es decir, $c = c[n]$ y $x = x[n]$. Esta representación digital (c), por tanto, lleva información de las transiciones reales del ADCUT.

2) De forma sincronizada con la operación del ADCUT, se obtiene una estimación digital (X) de la entrada analógica (x) más precisa que la representación digital (c).

3) Seguidamente, se compara la estimación digital (X) con las estimaciones de las transiciones digitales reales (T_j, T_{j+1}) donde el índice j viene

dado por la representación digital (c) obtenida:

- Si $X > T_{j+1}$, se aumenta la estimación de la transición digital real T_{j+1} ;
- Si $X < T_j$ se disminuye la estimación de la transición digital real T_j .
- 5 - En caso de que no se cumpla ninguna de las dos condiciones anteriores, no se modificaría el valor de ninguna de las estimaciones (T_j , T_{j+1}).
- Se entiende que el orden en el que se efectúan las comparaciones anteriores es irrelevante.

10

Nótese que las estimaciones de las transiciones digitales pueden actualizarse utilizando un paso adaptativo constante, aunque también sería posible diseñar un procedimiento en que los pasos fuesen variables.

- 15 4) Por último, se obtiene una estimación de la INL del ADCUT como la distancia entre cada transición ideal y la estimación de dicha transición:

$$INL_j = T_j - T_j^{(\text{ideal})} \quad (4)$$

- 20 Este procedimiento sirve de una manera óptima para obtener una estimación digital de la INL mediante la medida previa de las transiciones.

- 25 En el caso de que la medida de las transiciones T_i no sea relevante para la aplicación, se puede realizar una estimación directa de la INL expresando la ecuación (4) en términos de INL mediante cambio de variable en el procedimiento. Se entiende que dicho cambio de variable o cualquier otro similar es totalmente irrelevante. Por motivos de claridad, se describe a continuación el procedimiento de la invención cuando se realiza dicho cambio de variable

30

En este caso, la estimación directa de la INL comenzaría, como se muestra en el diagrama de flujo de la Fig.4, con la inicialización de su

estimación INL_j al valor correspondiente al convertidor ideal, que es nulo por definición,

$$INL_i[0] = T_i[0] - T_i^{(ideal)} = T_i^{(ideal)} - T_i^{(ideal)} = 0 \quad (5)$$

5

Continuaría con los pasos 1) y 2), cuyas expresiones no se modifican, y terminaría con la realización simultánea de los pasos 3) y 4), como sigue:

3-4) Se compara la estimación digital (X) con las estimaciones de las transiciones digitales reales (T_j, T_{j+1}), dadas atendiendo al cambio de variable introducido en (4) por, ($INL_j + T_j^{(ideal)}, INL_{j+1} + T_{j+1}^{(ideal)}$), donde el índice j viene dado por la representación digital (c) obtenida:

- Si $X > INL_{j+1} + T_{j+1}^{(ideal)}$, se aumenta la estimación digital INL_{j+1} ;
- Si $X < INL_j + T_j^{(ideal)}$ se disminuye la estimación digital INL_j .

15

Independientemente del cambio de variable considerado, existen diferentes modos particulares de implementar el procedimiento propuesto, algunas de los cuales se describen en el presente documento. Por ejemplo, la estimación digital (X) de la entrada analógica (x) se puede realizar, como se muestra en Fig.5, empleando un ADC adicional (ADC_{test}) dispuesto en paralelo al ADCUT y que trabaja de forma sincronizada con el mismo. La precisión del ADC_{test} determina el error máximo cometido en la medida del INL, por lo que debe ser superior a la precisión del ADCUT (en la práctica 1-2 bits adicionales son suficientes). En una realización óptima de la invención el ciclo de operación de dicho convertidor adicional (usualmente el ADC_{test} , en un convertidor lento pero preciso), determina el índice de actualización n del procedimiento.

20

25

30

Por otro lado, en aquellos sistemas dónde exista disponible por construcción una estimación digital (X) de la señal analógica de entrada (x), la implementación del procedimiento de estimación se realiza sin ningún coste en

el dominio analógico, ya que no se requiere el ADC_{test} . Éste es el caso, como se mostrará en detalles en la sección de realizaciones preferentes, del convertidor A/D de tipo Pipeline. Este convertidor está constituido por múltiples etapas (STGs), cada una de las cuales posee un sub-ADC (usualmente de tipo *flash*) susceptible ser testado con la invención con un coste mínimo. Es decir, en este caso el ADCUT sobre el que se realiza el procedimiento de estimación de la INL es uno de los sub-ADC de las etapas que componen el ADC Pipeline. La principal ventaja de aplicar este procedimiento a un ADC Pipeline es que la estimación digital (X) de la entrada analógica (x) de los sub-ADCs se encuentra disponible por la propia topología Pipeline. De hecho, la señal digital X correspondiente al sub-ADC bajo test (sub-ADCUT) de la i -ésima etapa (STG _{i}) se obtiene directamente combinando el sub-código de salida de dicha etapa (c) con los sub-códigos de las etapas menos significativas, mediante una simple función aritmético lógica. Obviamente, si se desea se puede realizar una truncación de la señal digital X resultante para reducir el tamaño de palabra.

Hay que destacar que el procedimiento tiene validez para el testado simultáneo o secuencial de más de un sub-ADC en el sistema. En este caso, existe la posibilidad de reusar parte o toda la lógica de test. Además, conviene recordar que en el caso particular de un ADC de tipo *flash*, la estimación obtenida de la INL es totalmente equivalente a una medida del *offset* en los comparadores analógicos de esta topología.

Tanto en los sistemas donde se encuentra disponible por construcción una estimación digital (X) de la entrada, como por ejemplo el ADC Pipeline, como en el caso de emplear un ADC_{test} adicional en paralelo, se obtendría un procedimiento de tipo concurrente, ya que la estimación del INL se conseguiría sin interrumpir el camino natural de la señal.

Sin embargo, existe también la posibilidad de implementar el procedimiento de modo no-concurrente, como se muestra en la Fig. 6. En este caso se genera una señal digital que sirve directamente como estimación digital

X , y se emplea un DAC adicional con mayor precisión que el ADCUT (DAC_{test}) para transformar dicha señal digital (X) en una señal analógica (x), alimentando ésta al ADCUT. Obviamente, en este caso es necesario detener el funcionamiento normal del ADCUT para llevar a cabo el procedimiento.

5

Aunque este último método supone la interrupción del funcionamiento normal del ADCUT durante la medida, no requiere un estímulo de entrada dedicado, y por tanto puede funcionar simultáneamente con otras técnicas utilizando señales de test arbitrarias, como rampas, senos o referencias multi-tonos. Hay que destacar que todo, o al menos parte del hardware de test para una solución BIST completa (es decir, el DAC y la lógica adaptativa) ya se encuentra disponible en los equipos autónomos de test modernos de señal mixta (Automated Test Equipment, ATE, según sus siglas en inglés). En este caso, la implementación de la técnica propuesta tiene un coste mínimo.

15

Un segundo aspecto de la invención está dirigido a un dispositivo para la estimación del INL en un convertidor analógico-digital (ADCUT) de acuerdo con el procedimiento anterior. El dispositivo con medida previa de las transiciones comprende:

20

a) un banco de registros (RB), que almacena el valor actual de un conjunto de estimaciones de las transiciones digitales (T_i) del ADCUT, e inicializa dichos códigos con la posición correspondiente a un convertidor ideal ($T_i^{(ideal)}$);

25

b) un bloque de comparación digital (CB), que compara la estimación digital (X) con las estimaciones de las transiciones digitales (T_j, T_{j+1}), donde el índice j viene definido por el código digital (c), y genera un señal de habilitación (EN) y control (Sgn);

30

c) un bloque sumador/restador habilitado por la señal EN y

controlado por (Sgn), que aumenta la estimación de la transición digital (T_{j+1}) cuando $X > T_{j+1}$, y disminuye la estimación de la transición digital (T_j) cuando $X < T_{j+}$.

5 d) un restador, habilitado en una realización óptima por la señal EN, que evalúa la $INL_j = T_j - T_j^{(ideal)}$, y

 e) un banco de registros, que almacena el valor actual del conjunto de estimaciones de la INL (INL_i) del ADC.

10

Por otro lado, un tercer aspecto de la invención está dirigido a un dispositivo para la estimación directa de la INL está constituido, como se detalla en el diagrama simplificado de la Fig.7, por:

15 a) un banco de registros (RB), que almacena el valor actual del conjunto de estimaciones de INL (INL_i) del ADCUT, e inicializa dichos valores a cero;

 b) un bloque de comparación digital (CB), que compara la
20 estimación digital (X) con las estimaciones de las transiciones digitales evaluadas mediante un sumador digital en función de estimación actual de la INL y los valores conocidos de las transiciones ideales, es decir, ($INL_j + T_j^{(ideal)}$, $INL_{j+1} + T_{j+1}^{(ideal)}$), donde el índice j viene definido por el código digital (c), y genera un señal de habilitación (EN) y control (Sgn) ;

25

 c) un bloque sumador/restador habilitado por la señal EN y controlado por (Sgn), que aumenta la estimación de la transición digital (INL_{j+1}) cuando $X > INL_{j+1} + T_{j+1}^{(ideal)}$, y disminuye la estimación de la transición digital (INL_j) cuando $X < INL_j + T_j^{(ideal)}$.

30 **DESCRIPCIÓN DE LOS DIBUJOS**

Para complementar la descripción y con objeto de ayudar a una mejor

comprensión de las características de la invención, se adjunta un juego de dibujos en donde con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

Fig.1. Característica de entrada-salida de un ADC ideal de r -bits con detalles de las definiciones de las transiciones t_j .

Fig. 2. Definición de la No-Linealidad Integral (INL) en un ADC.

Fig. 3. Diagrama de flujo del procedimiento digital adaptivo de estimación de la INL mediante la medida de las transiciones.

Fig. 4. Diagrama de flujo del procedimiento digital adaptivo de estimación directa de la INL.

Fig. 5. Implementación de la invención en modo concurrente con un convertidor adicional en paralelo (ADC_{test}) trabajando de forma sincronizada con el ADCUT.

Fig.6. Implementación de la invención en modo no-concurrente con un DAC_{test} para la generación de la señal analógica de entrada del ADCUT.

Fig. 7. Esquema simplificado del dispositivo para la estimación directa de la INL.

Fig.8. Diagrama simplificado de la realización preferente de la invención para la estimación concurrente de la INL en un ADCUT genérico con un convertidor adicional ADC_{test} en paralelo.

Fig.9. a) Estimación estacionaria de la INL proporcionada por la invención para el caso de estudio concurrente con errores de no-linealidad suaves; b) evolución transitoria de uno de los códigos de la INL estimados hacia el valor real inyectado en el ADCUT.

Fig.10. Estimación estacionaria de la INL proporcionada por la invención para el caso de estudio concurrente con errores de no-linealidad suaves: a) con errores

globales de ganancia y *offset*, y b) con compensación de los errores globales de ganancia y *offset*.

Fig. 11. Diagrama simplificado de un ADC de tipo Pipeline constituido por un Sample&Hold (SH) de entrada seguido por k etapas desde la más significativa (MS) a la menos significativa (LS).

Fig. 12. Característica de entrada-salida para una etapa de 2 bits con desviaciones en las transiciones debido al *offset* en los comparadores.

10

Fig. 13. Convertidor A/D Pipeline con 14 bits de resolución constituido por 2 etapas de 3 bits seguida por 9 etapas de 1.5 bits.

Fig. 14. Esquema simplificado de la implementación hardware del procedimiento digital de medida (PDM) considerada en el caso de estudio.

15

Fig.15. Diagrama simplificado de la realización preferente de la invención para la estimación no-concurrente de la INL en un ADCUT genérico con un convertidor DAC_{test} .

20

REALIZACIÓN PREFERENTE DE LA INVENCION

Se muestran a continuación unos ejemplos de realizaciones preferentes de la invención donde se hace referencia a las figuras adjuntas. En primer lugar, ejemplo 1, describiremos brevemente los componentes básicos de la estimación de la INL para un ADCUT en modo concurrente usando un convertidor ADC_{test} adicional en paralelo. Se mostrarán resultados para dos casos de estudio que permiten resaltar la robustez de la técnica de estimación que implementa. Posteriormente, en el ejemplo 2, se describirá con mayor detalle la realización de la invención para el testado de los sub-ADCs en un convertidor Pipeline de alta resolución, como una aplicación en el que no es necesario la implementación del ADC_{test} . Concluiremos, en el ejemplo 3, con la implementación de la invención en modo no-concurrente.

Ejemplo 1: Medida de la INL en un ADCUT genérico en Modo Concurrente

La Fig.8 muestra un diagrama simplificado de la realización preferente para la estimación concurrente de la INL en un ADCUT genérico. El sistema está formado, además de dicho bloque, por:

- Una unidad digital de control (UDC) para la generación de los relojes y señales de control del sistema de forma sincronizada a partir del reloj maestro clk.
- Un Sample&Hold (SH) que realiza un muestreo de la señal analógica de entrada, $x = x[n]$, garantizando una operación sincronizada de los bloques analógicos. Una alternativa válida sin SH a esta solución preferente, es el empleo de un PLL dentro de la UDC.
- Un ADC adicional (ADC_{test}) que permite obtener una representación digital (X) de la señal analógica (x) con mayor precisión que el código de salida (c) del ADCUT. Como ya hemos comentado, este convertidor puede operar a una

frecuencia inferior a la del ADCUT, permitiendo relajar las especificaciones de potencia y área del mismo. Alternativamente, el reloj ADC_{test} se puede generar considerando en la UDC un generador de número aleatorios (RNG). En cualquier caso, el ciclo de operación del ADC_{test} determina en una realización óptima el ciclo de operación n en la unidad lógica de test (ULT), cuyos bloques constitutivos se describen a continuación.

- Un bloque digital (básicamente, formado por dos registros) que permiten mantener el alineamiento temporal entre las salidas del ADCUT y el ADC_{test} . Para no introducir variables intermedias en la descripción, asumimos de forma implícita que las señales X y c se encuentran sincronizadas.

- Una bloque digital adaptativo (PDM) que realiza el procedimiento de medida de la INL del ADCUT.

15

A continuación pasamos a detallar los dos casos de estudios considerados como demostradores de la invención. En estos casos se consideran dos ADCs con 13-bits de resolución, mientras que la lógica de test (ULT) opera de forma concurrente con la operación normal del ADCUT, es decir, no requiere la interrupción de la conversión A/D de la entrada.

20

El primer ADCUT considera una función de transferencia con una no-linealidad integral (INL) suave con un modelo polinómico. En el segundo de los casos, la característica del ADC presenta cambios abruptos para códigos particulares de salida introduciendo unos errores de linealidad fuertes. En ambos casos la sección analógica de los ADCs considera una referencia R de 1V, mientras que la representación digital X de la entrada analógica x se genera con un ADC_{test} de 15-bits, lento pero preciso, con una resolución efectiva de 14.45 bits. Se ha considerado variaciones temporales aleatorias tanto en la entrada x como en las transiciones de los ADCUTs, para poner de manifiesto la robustez de la invención frente a ruidos eléctricos en el sistema.

30

En los dos casos de estudio, la sección digital adaptativa de la invención emplea un paso de actualización constante con tres posibles valores para aumentar la velocidad de convergencia $\mu=\{2^{-1}, 2^0, 2^{-1}\}$. Estos valores se usan secuencialmente procediendo desde el valor más elevado para realizar una estimación grosera de la INL, hasta el más pequeño para permitir una medida precisa en la situación estacionaria. Para más detalles sobre la realización práctica de la lógica de estimación, véanse la implementación del ejemplo 2.

10 **CASO: 1.- ADCUT con Errores Suaves de No-Linealidad**

La Fig. 9a muestra la estimación estacionaria de la INL del ADCUT proporcionada para el caso de estudio con errores de linealidad suaves (con perturbación polinómica de tercer orden). Aunque la invención no se restringe a una distribución particular de entrada, se ha considerado un estímulo multi-
15 de rango completo que ocupa el 45% de la banda de Nyquist. Para la comparación con el método tradicional basado en histogramas se muestra también la medida proporcionada por dicho método de histogramas usando una entrada en rampa de baja frecuencia. Nótese que el error entre las dos medidas
20 está siempre bastante por debajo del error de cuantización. La precisión con la que se realiza la estimación en la invención se hace incluso más evidente, como se puede apreciar en la Fig.9b, cuando se muestra la evolución transitoria de uno de los códigos de INL hacia el valor real inyectado en el ADCUT.

25 **CASO: 1.- ADCUT con Errores Abruptos de No-Linealidad**

El segundo caso de estudio se corresponde con el ADCUT con cambios abruptos en la característica de entrada-salida. Este comportamiento es típico en
30 topologías de ADCs, como son la Pipeline, la algorítmica o de aproximaciones sucesivas (SAR-ADC). Como caso de estudio, se ha considerado una realización de condensadores conmutados (Switched-Capacitor, SC, de sus siglas en inglés) de un ADC Pipeline de 13 bits, constituido por dos etapas más significativas de 3

bits, seguidas por 8 etapas de 1.5 bits (véase la definición de resolución fraccionaria más adelante). Hay que destacar, que a diferencia con el ejemplo 2 de la siguiente sección, en este caso el ADCUT es el propio ADC Pipeline de alta resolución.

5

El modelo no-lineal considerado en esta topología incluye: ruido, desapareamiento aleatorio entre condensadores, así como, ganancia finita no-lineal de los amplificadores. Los errores de linealidad en los sub-ADCs *flash* de cada etapa se han modelado considerando una desviación sistemática en las transiciones de los comparadores respecto a las posiciones nominales. Adicionalmente, se ha tenido en cuenta la incertidumbre variable con el tiempo debido a las fuentes de ruido electrónico en el comparador incorporando un término aleatorio adicional Gausiano y desviación estándar de 5mV.

15 Como resultado de la inyección de estos errores, en la INL del convertidor se pueden distinguir un grupo de segmentos con unas dislocaciones fuertes entre los mismos dependiendo de las etapas más significativas. En una situación general, la linealidad de cada segmento se ve afectada también por la ganancia no-lineal de los amplificadores. La Fig.10a muestra la estimación estacionaria de la INL para un caso con errores de ganancia y *offset* globales no-nulos. Se puede apreciar claramente que las dos etapas significativas introducen la contribución dominante a la no-linealidad. La discrepancia entre las dos medidas se debe a que en el método de histogramas la INL se define respecto a la recta de mejor ajuste, mientras que nuestra invención es capaz de detectar cualquier discrepancia con el ADC_{test} incluyendo los errores de ganancia y *offset* globales. 25 La Fig.10b muestra los resultado equivalente cuando los errores de ganancia y *offset* se ha sustraídos. De forma similar a los resultados de simulación de la Fig.4a, tras esta operación, existe una gran concordancia entre los valores estimados de la invención y el método de histogramas.

30

Ejemplo 2: Realización de la Invención para el Testado de los Sub-ADCs en un Convertidor Pipeline de Alta Resolución

La Fig.11 muestra un diagrama simplificado de un ADC de tipo Pipeline
5 constituido por un Sample&Hold (SH) de entrada seguido por k etapas desde la más significativa (MS) a la menos significativa (LS). El número total de comparadores en cada etapa puede variar entre 2^r-2 y 2^r-1 dependiendo de la implementación considerada, con y sin eliminación de unos de los compradores (véase la publicación, S. Lewis, H. Fetterman, G. Gross Jr., R. Ramachandran
10 and T. R. Viswanathan, "A 10-b 20-Msample/s Analog-to-Digital Converter," *IEEE J. of Solid-State Circuits*, vol. 27, no. 3, pp. 351-358, Mar. 1992), gracias a la redundancia unidad. En el documento, hemos distinguido estas dos situaciones considerando la notación de resolución fraccionaria, así para $r = 2$, distinguiremos entre etapas con resolución 2 y 1.5 bits, respectivamente. Cada etapa (STG)
15 realiza una cuantización grosera de su entrada analógica x , mediante un convertidor A/D (usualmente de tipo *flash*), identificado como sub-ADC. Esta salida digital, denotada por el subcódigo c se encuentra generalmente codificada en binario gracias a un codificador termométrico-binario (TBC). Usando la información de los comparadores se genera (excepto en la última etapa) el
20 residuo de salida y para ser procesado por las etapas menos significativas (véase ejemplo de la Fig.12). Esta función la realiza un convertidor D/A multiplicativo (MDAC), que agrupa las operaciones de conversión digital-analógica del subcódigo c , resta con la entrada y amplificación por una ganancia específica G . En lo que sigue, cuando haya ambigüedad se introducirá un sub-índice adicional
25 para referirnos a una etapa en concreta. Así, la representación digital $X = X_1$ asociada a la señal de entrada analógica $x_{in} = x_1$ se obtiene mediante una simple función binaria pesada de los diferentes sub-códigos $\{c_i\}$, con $i = 1, \dots, k$, una vez se ha realizado el proceso de alineamiento temporal o sincronización de los mismos. De forma análoga, la representación digital X_i de la entrada analógica x_i
30 de la i -ésima etapa (STG $_i$), combina los sub-códigos de dicha etapa con los menos significativas $X_i = X_i(c_i, \dots, c_k)$.

A continuación presentamos una realización práctica de la invención para la estimación de la no-linealidad en los sub-ADCs de las etapas de un ADC Pipeline. Recordemos que para una implementación *flash* de los mismos, la medida de la INL, o equivalentemente la transiciones representativas T_i , es totalmente equivalente a la caracterización del *offset* en sus comparadores. Para evitar cualquier confusión con el ADC Pipeline de alta resolución, distinguiremos los sub-ADCs *flash* bajo test como sub-ADCUTs, como ya hemos comentado previamente. En el ejemplo se considera, como se muestra en la Fig.13, un convertidor A/D Pipeline con 14 bits de resolución constituido por 2 etapas de 3 bits seguida por 9 etapas de 1.5 bits.

La unidad lógica de test (ULT) realiza simultáneamente una medida digital de las transiciones, o equivalentemente *offset* en los comparadores de las dos etapas más significativas, STG_1 y STG_2 (es decir, tenemos dos sub-ADCs bajo test: sub-ADCUT₁ y sub-ADCUT₂), ya que para estas etapas la contribución del *offset* tiene un impacto más dramático en las prestaciones del circuito.

En el detalle de la realización particular de la Fig.14, el bloque digital de estimación (PDM) de cada etapa emplea un paso adaptativo constante $\mu = 1$ para la actualización de las estimaciones T_i , mientras que la resolución de la representación digital X se trunca a 8 bits. La realización para la estimación directa de la INL usando el cambio de variable en la ecuación (4) es totalmente equivalente. Aunque es posible considerar una implementación con un paso adaptativo dependiente de la estimación actual, el empleo de un paso constante permite realizar el proceso de actualización mediante una lógica de bajo coste con un único acumulador de 8 bits controlado por el bloque de Comparación Digital, y un banco de registros (TRB) para guardar los estados previos, todo sin merma significativa en la velocidad de convergencia. En cada instante, el subcódigo c de la etapa actúa como dirección j para determinar qué transición se encuentra actualmente bajo test y direccionar el banco de registros. Esta alternativa permite aumentar la reusabilidad frente a implementaciones basadas en un acumulador distinto por cada comparador a caracterizar. Obviamente, se puede aumentar la

reusabilidad del hardware de test (acumulador, sumador, lógica de dirección, etc.) realizando el proceso de medida de forma secuencial entre etapas, a costa de una reducción en la velocidad de convergencia.

5 **Ejemplo 3: Medida de la INL en un ADCUT genérico en Modo No-Concurrente**

La Fig.15 muestra un diagrama simplificado de la realización preferente para aplicaciones BIST de la estimación no-concurrente de la INL en un ADCUT genérico. El sistema está formado, además de dicho bloque, por:

- Una unidad digital de control (UDC) para la generación de los relojes y señales de control del sistema de forma sincronizada a partir del reloj maestro clk.

15 - Un DAC adicional (DAC_{test}) con mayor precisión que el ADCUT, que a partir de una representación digital (X) proporcionada por (UDC), realiza la generación de la señal analógica (x) de entrada del ADCUT. En una realización preferida para aplicación BIST, este convertidor opera a la misma frecuencia que el ADCUT de forma sincrónica. Para otras aplicaciones de test, donde la sincronización entre el DAC_{test} y el ADCUT no es siempre posible, se recomienda que el DAC_{test} opere a una frecuencia mayor que el ADCUT para minimizar el problema de *aliasing*. En cualquier caso, el ciclo de operación del ADCUT determina en una realización óptima el ciclo de operación n en la unidad lógica de test (ULT), cuyos bloques constitutivos se describen a continuación.

20 - Un bloque digital (básicamente, formado por dos registros) que permiten mantener el alineamiento temporal entre la salida del ADCUT y la entrada del DAC_{test} . Para no introducir variables intermedias en la descripción, asumimos de forma implícita que las señales X y c se encuentran sincronizadas.

- Una bloque digital adaptativo (PDM) que realiza el procedimiento de medida de la INL del ADCUT.

Para más detalles sobre la realización práctica de la lógica de estimación,
5 véanse la implementación del ejemplo 2.

REIVINDICACIONES

1. Procedimiento adaptativo para la estimación de INL de un convertidor analógico-digital (ADCUT), caracterizado porque comprende la operación inicial de asignar el valor de las transiciones digitales ideales ($T_i^{(ideal)}$) a unas estimaciones de las transiciones digitales reales (T_i), y que además comprende realizar las siguientes operaciones:
 - obtener un código digital de salida (c) del ADCUT que es una representación digital (c) de una entrada analógica (x) del ADCUT;
 - de forma sincronizada, obtener una estimación digital (X) de la entrada analógica (x) más precisa que la representación digital (c) de la operación anterior;
 - comparar la estimación digital (X) con las estimaciones actuales de las transiciones digitales reales (T_j, T_{j+1}) donde el índice j viene definido por la representación digital (c) obtenida y:
 - si $X > T_{j+1}$, aumentar T_{j+1} ;
 - si $X < T_j$, disminuir T_j ; y
 - obtener una estimación de la INL como: $INL_j = T_j - T_j^{(ideal)}$
2. Procedimiento de acuerdo con la reivindicación 1, donde el aumento de T_{j+1} y la disminución de T_j se llevan a cabo según pasos constantes.
3. Procedimiento de acuerdo con cualquiera de las reivindicaciones 1-2, que comprende realizar un cambio de variable según la ecuación, $INL_j = T_j - T_j^{(ideal)}$ u otro similar, de modo que las operaciones se realizan directamente sobre la nueva variable obtenida.

4. Procedimiento de acuerdo con cualquiera de las reivindicaciones 1-3, donde la estimación digital (X) se obtiene a partir de un segundo convertidor analógico-digital ADC_{test} conectado en paralelo al ADCUT.
5. Procedimiento de acuerdo con la reivindicación 4, donde el ADC_{test} de la estimación digital (X) se encuentra controlado por un generador de números pseudoaleatorios (RNG).
6. Procedimiento de acuerdo con cualquiera de las reivindicaciones 1-3, que comprende generar una señal digital en modo no-concurrente que sirve directamente como estimación digital (X), y transformar dicha señal digital (X) en analógica (x), empleando un convertidor digital- analógico DAC (DAC_{test}), para alimentarla al ADCUT.
7. Procedimiento de acuerdo con cualquiera de las reivindicaciones 1-3, donde el ADCUT es un sub-ADC de una de las etapas (STG_i) de un ADC de tipo Pipeline, donde:
- la representación digital (c) de la entrada analógica (x) de la etapa (STG_i) viene dada por el sub-código digital del sub-ADC; y
- la estimación digital (X) correspondiente a la entrada analógica (x) del i -ésimo sub-ADC bajo test (ADCUT en la etapa STG_i) se obtiene mediante una operación aritmética lógica (con o sin truncación) del sub-código de salida de dicha etapa (c) y de los sub-códigos de salida de las etapas siguientes.
8. Dispositivo para la estimación de INL en un convertidor analógico-digital (ADC) a partir de una representación digital (c) de una entrada analógica (x) obtenida mediante el ADC cuya INL se desea estimar y de una estimación digital (X) de la entrada analógica (x) de mayor precisión que dicha representación digital (c), caracterizado porque comprende:

- a) un banco de registros (RB), que almacena el valor actual de un conjunto de estimaciones de la INL del ADCUT e inicializa dichos valores a cero;
- 5 b) un bloque de comparación digital (CB), que compara la estimación digital (X) con las estimaciones de las transiciones digitales evaluadas mediante un sumador digital en función de estimación actual de la INL y los valores conocidos de las transiciones ideales, es decir, ($INL_j + T_j^{(ideal)}$, $INL_{j+1} + T_{j+1}^{(ideal)}$), donde el índice j viene definido por el código digital (c), y
- 10 genera un señal de habilitación (EN) y control (Sgn) ;
- c) un bloque sumador/restador habilitado por la señal EN y controlado por (Sgn), que aumenta la estimación de(INL_{j+1}) cuando $X > INL_{j+1} + T_{j+1}^{(ideal)}$, y disminuye la estimación de(INL_j) cuando $X < INL_j + T_j^{(ideal)}$.
- 15 9. Dispositivo de acuerdo con la reivindicación 8, donde los elementos a, b y c están adaptados para funcionar directamente con T_j según un cambio de variable dado por la ecuación $INL_j = T_j - T_j^{(ideal)}$, y que además comprende los siguientes elementos:
- 20 d) un restador que evalúa la $INL_j = T_j - T_j^{(ideal)}$; y
10. e) un banco de registros, que almacena el el resultado del conjunto de estimaciones de la INL (INL_j) del ADC.

1/12

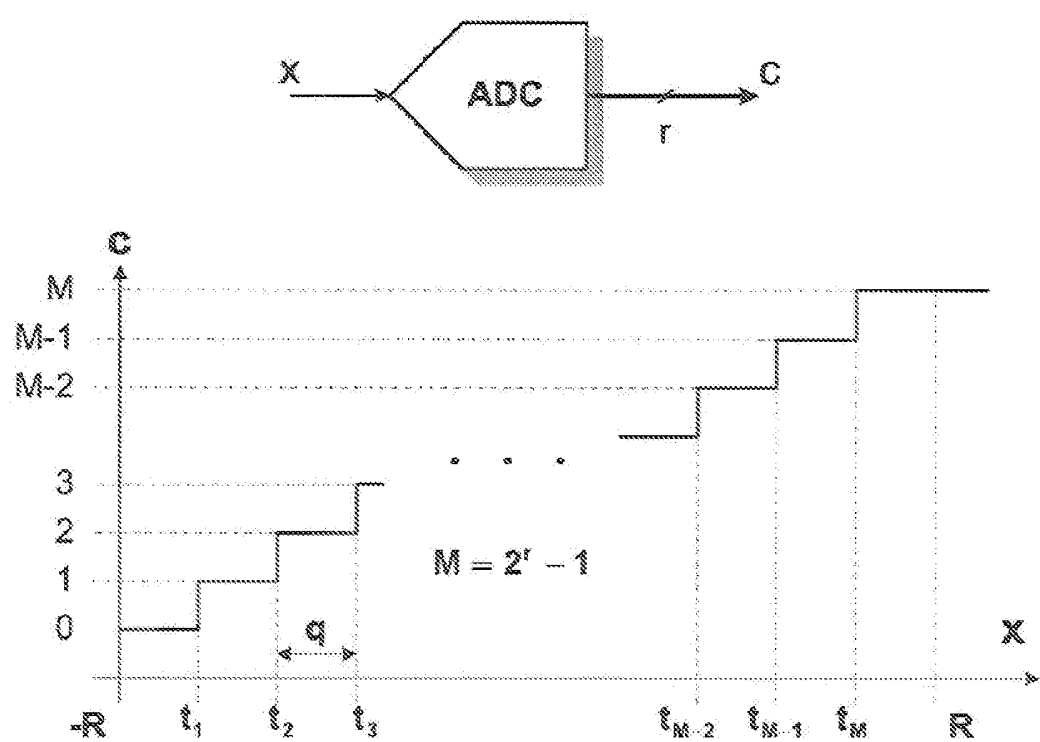


FIG. 1

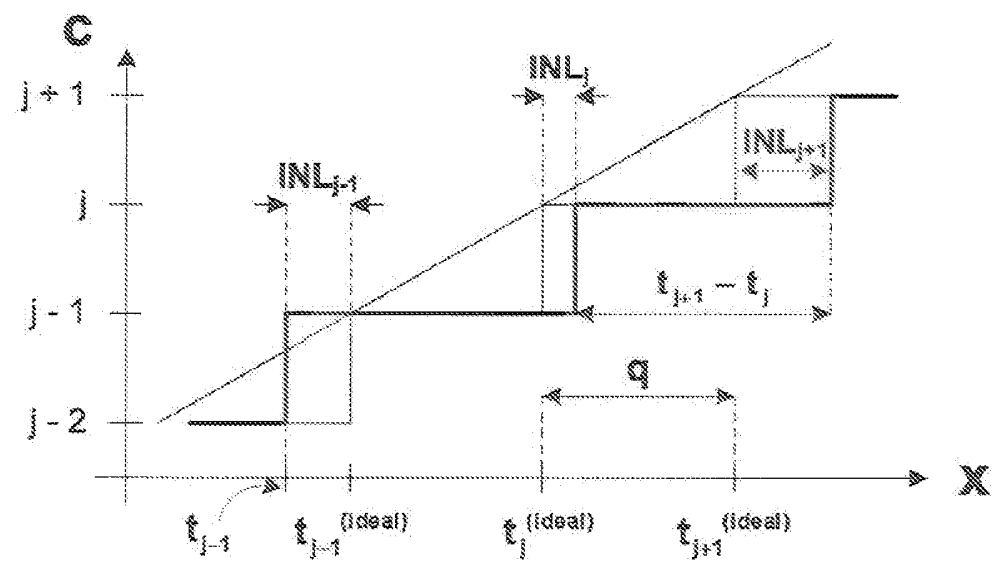


FIG. 2

2/12

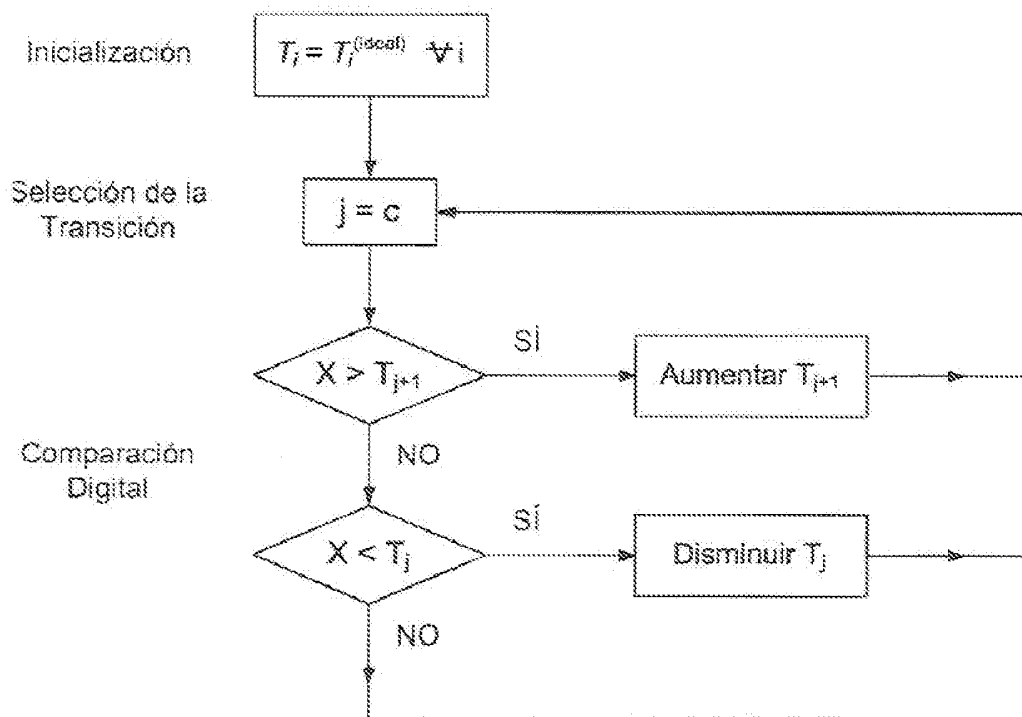


FIG. 3

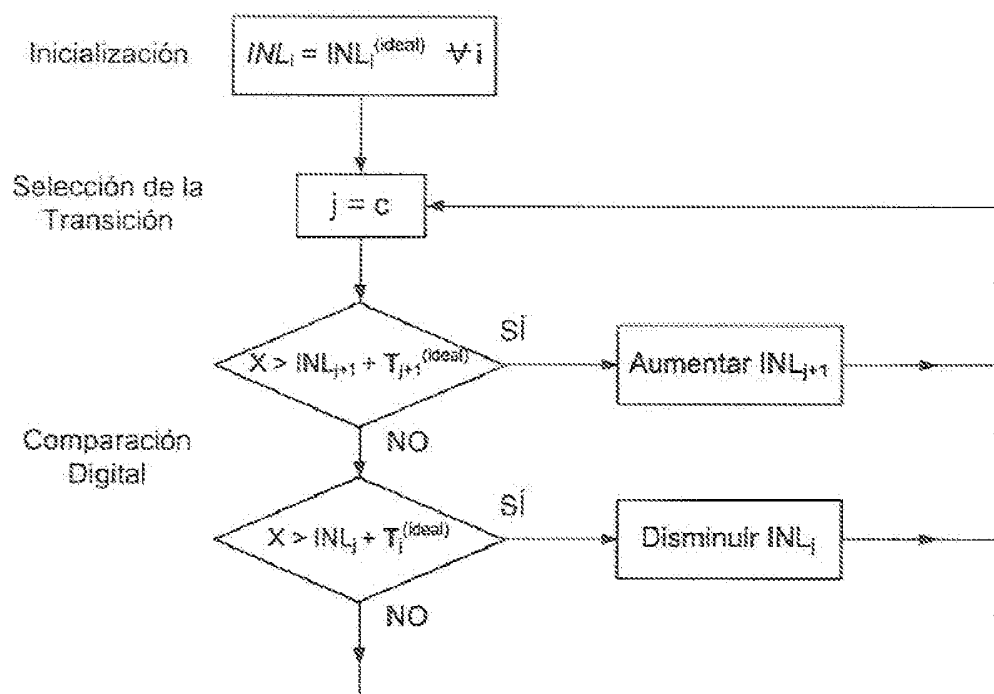


FIG. 4

3/12

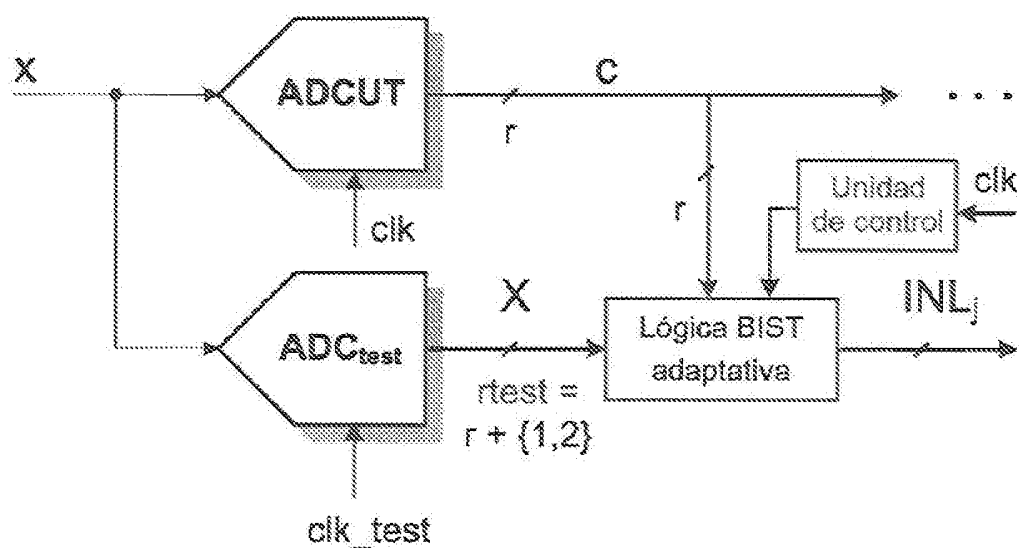


FIG. 5

Modo no-concurrente

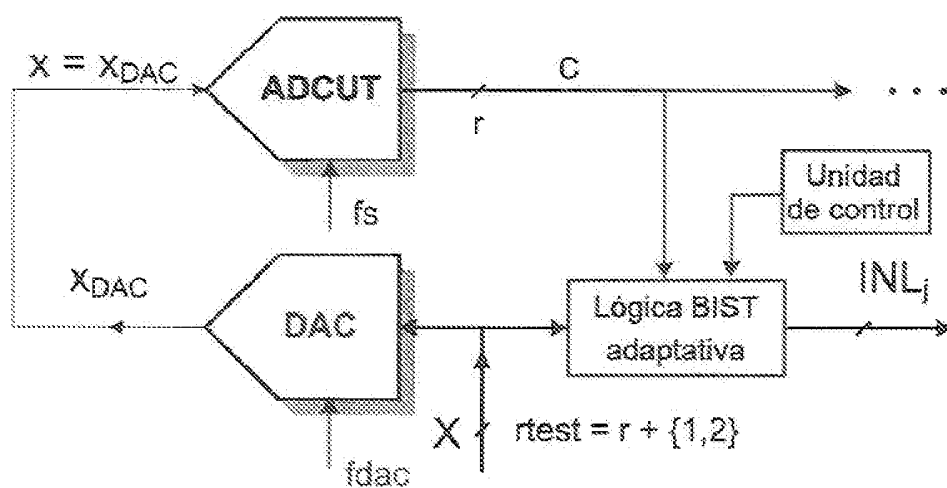


FIG. 6

4/12

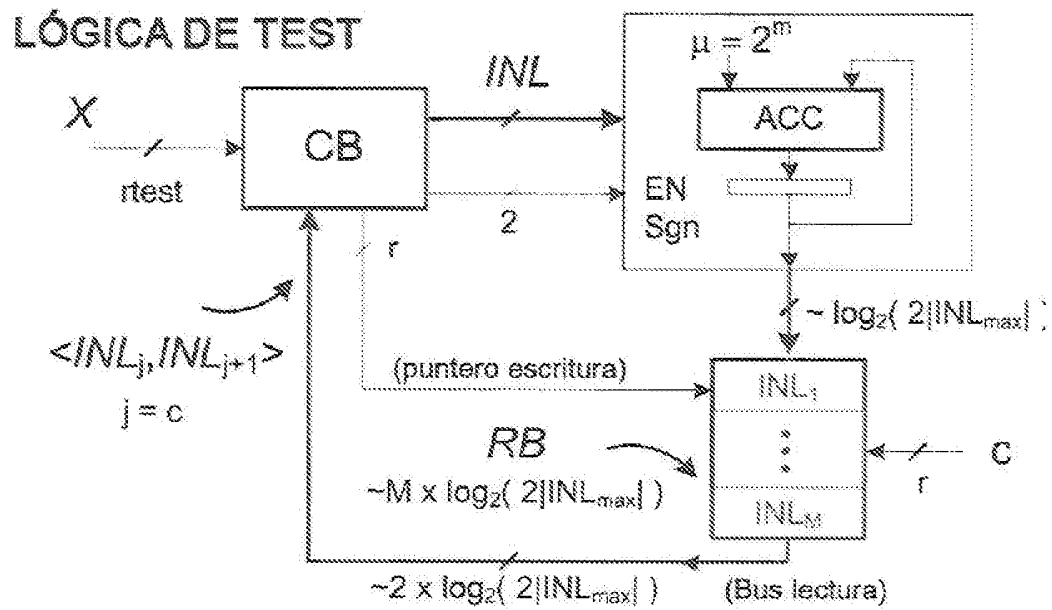


FIG. 7

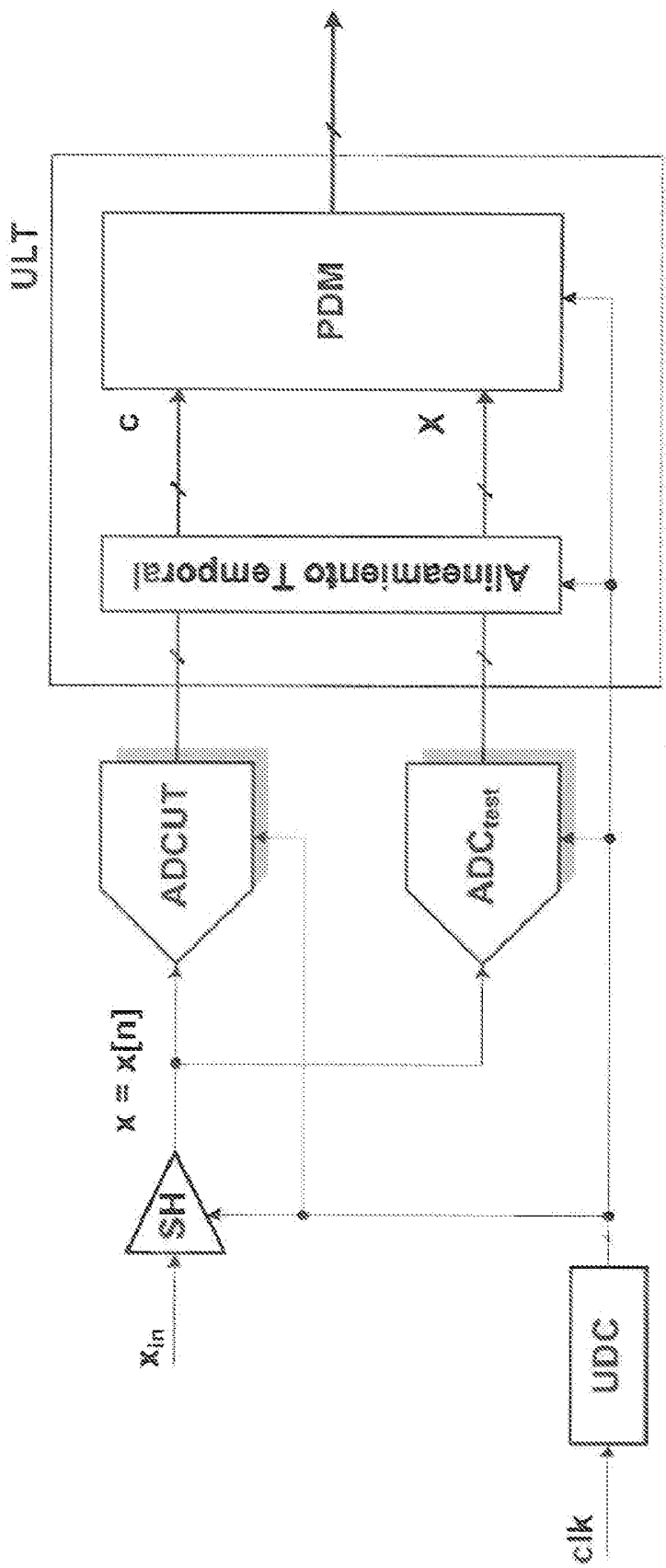


FIG. 8

6/12

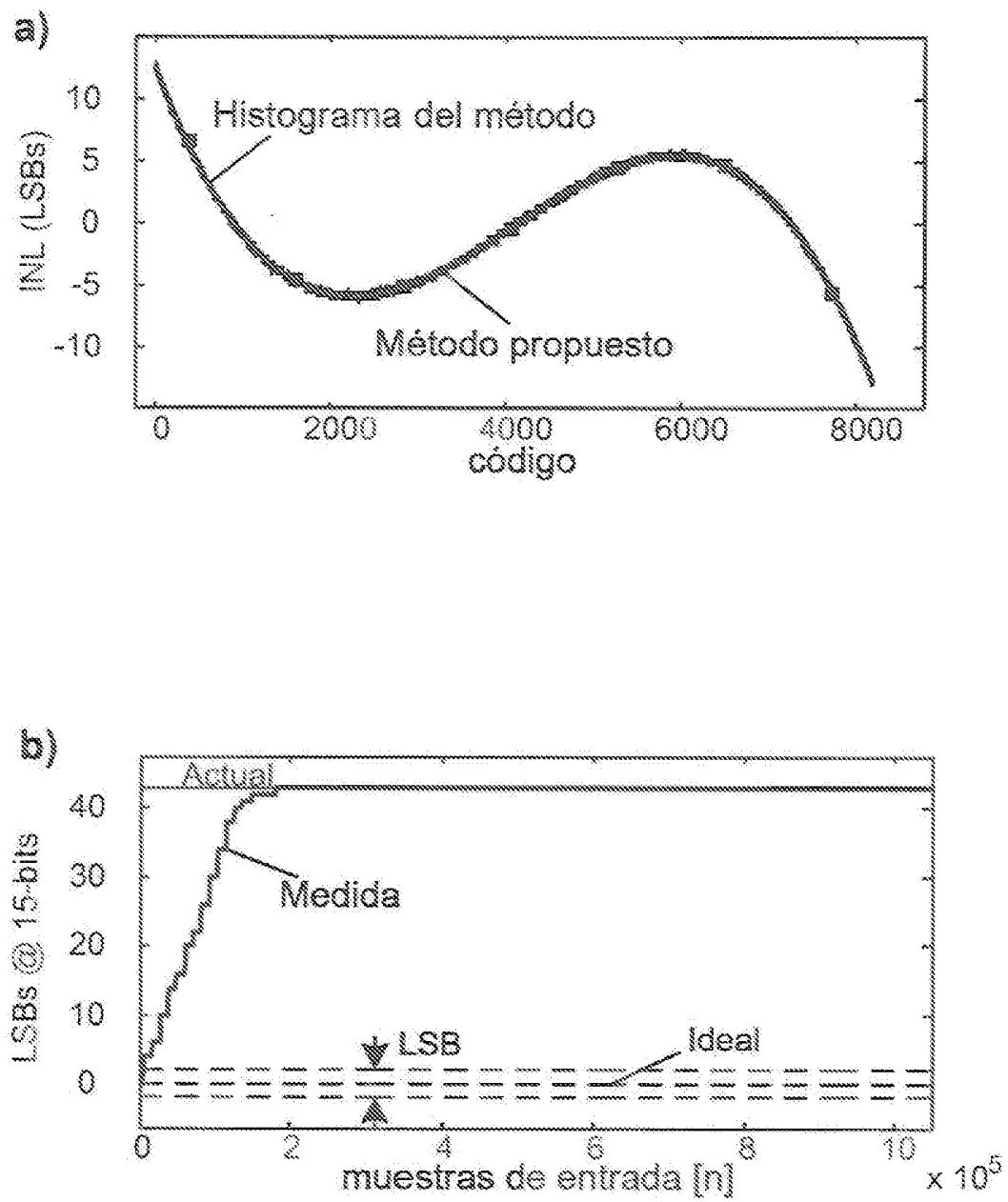
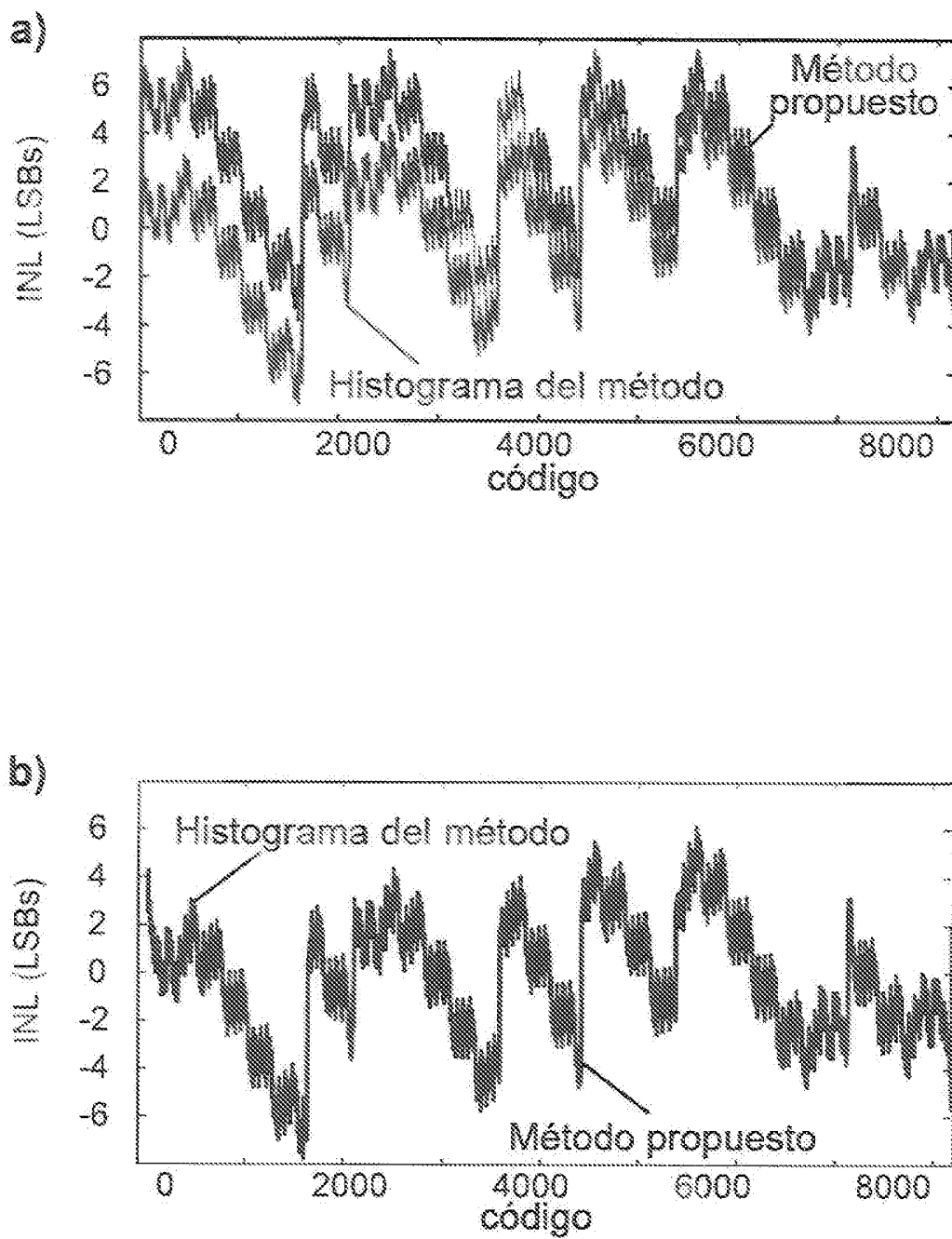


FIG. 9

7/12

**FIG. 10**

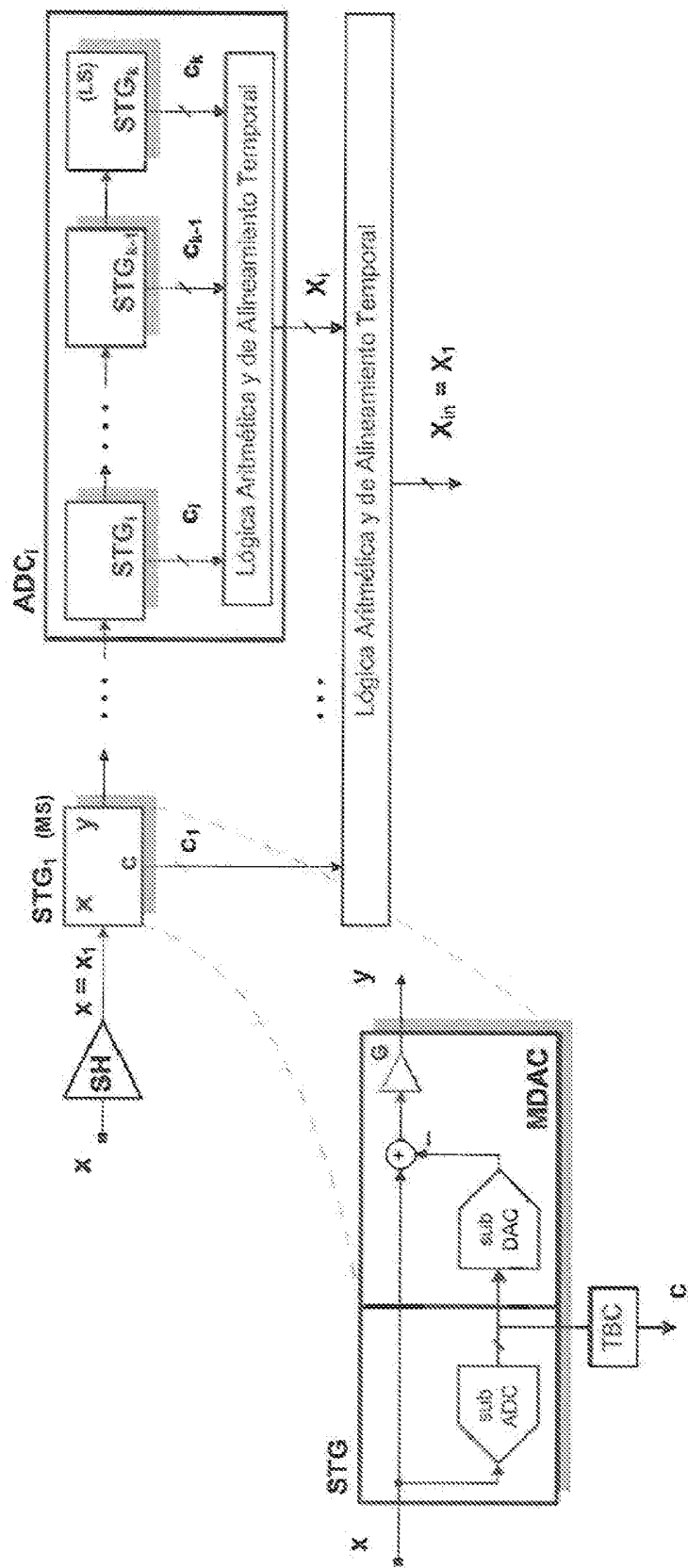


FIG. 11

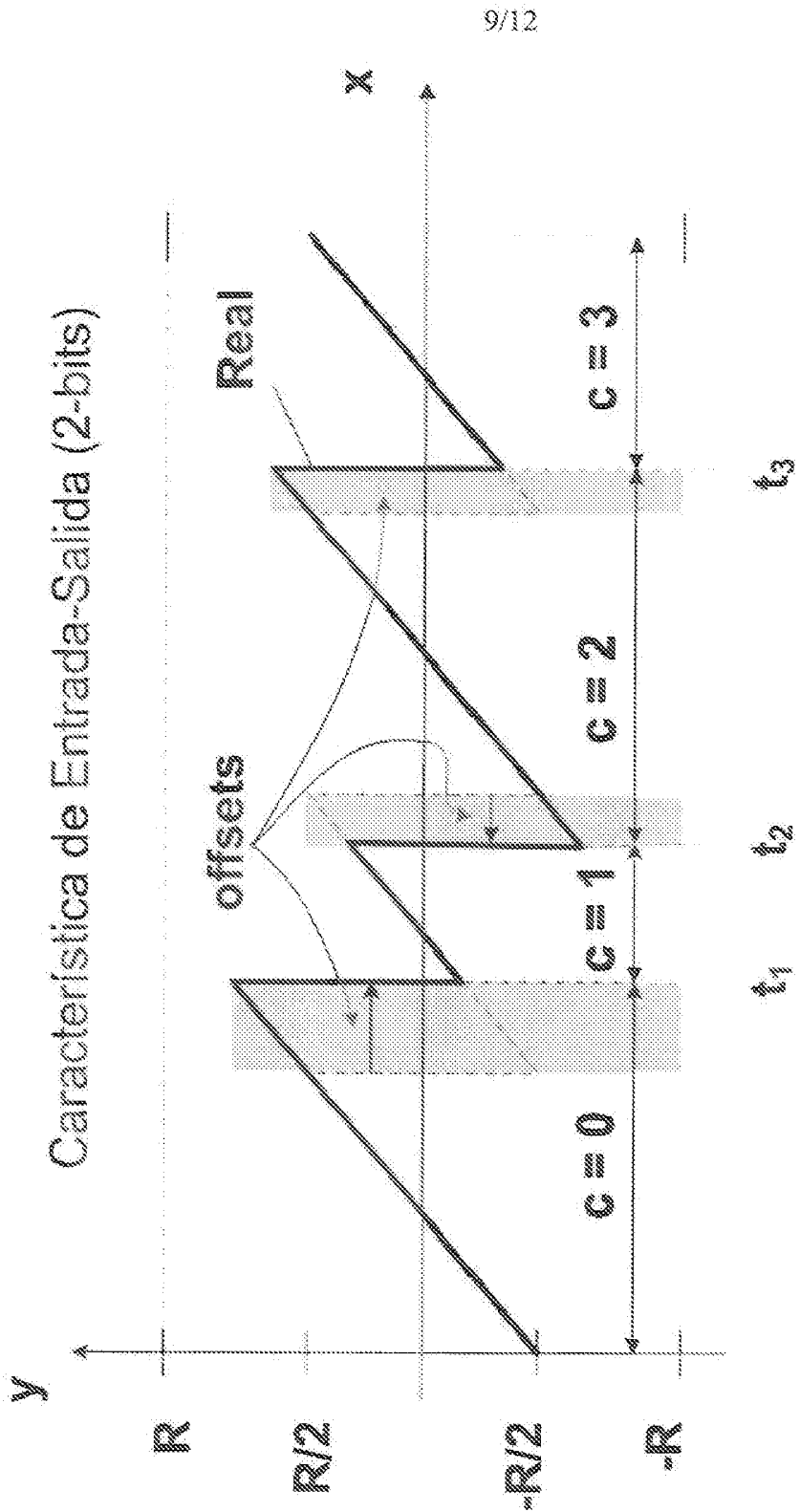


FIG. 12

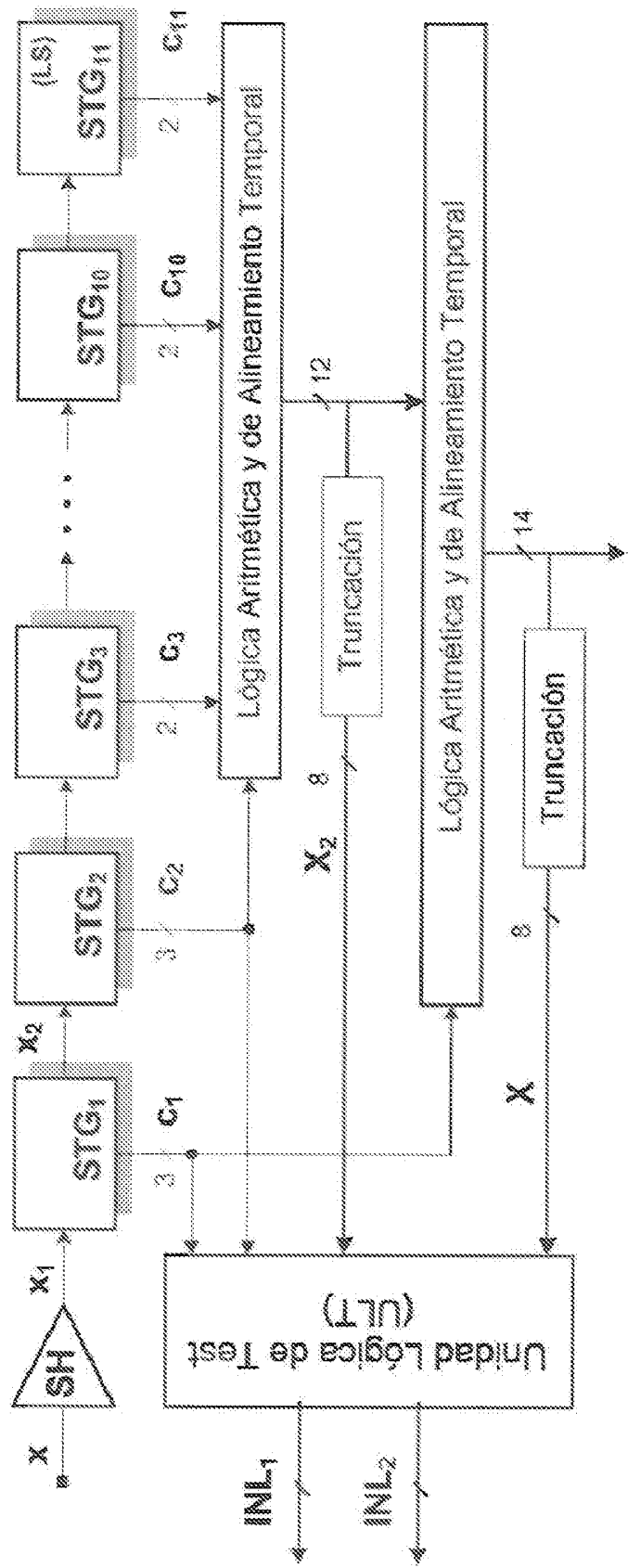


FIG. 13

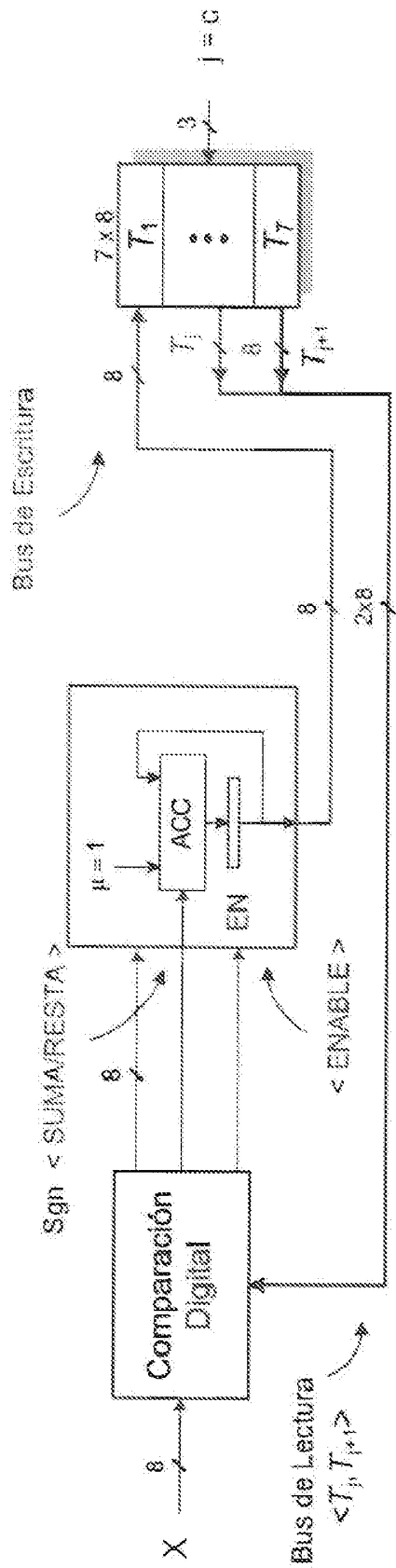


FIG. 14

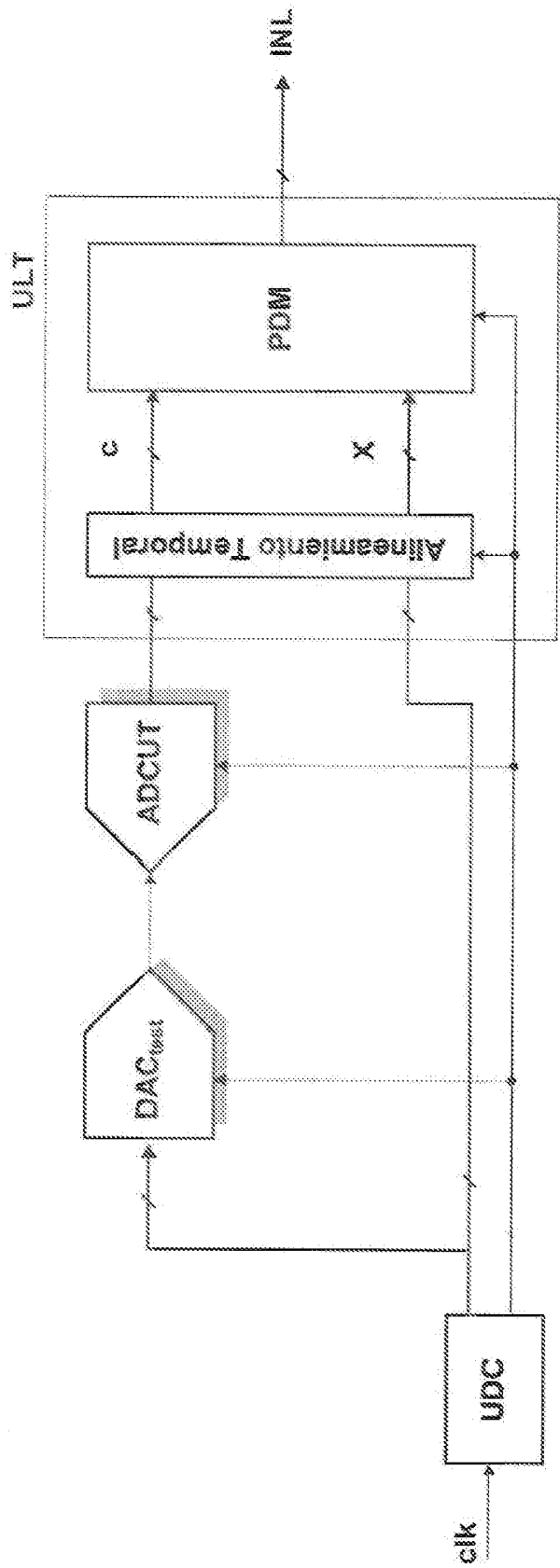


FIG. 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/ ES 2010/070321

A. CLASSIFICATION OF SUBJECT MATTER

H03M 1/10 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

INVENES, EPODOC, WPI, NPL, XPESP, XPAIP, XPI3E, INSPE.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| A | Hanqing Xing; Hanjun Jiang; Degang Chen; Randall Geiger. "A fully digital-compatible BIST strategy for ADC linerity testing" Test Conference, 2007. ITC 2007. IEEE International, 01-10-2007 IEEE, Pi 01 OCTUBRE 2007 (01-10-2007) pg 1-10 XP031207037 ISBN 978-1-4244-1127-6 ; ISBN 1-4244-1127-0. | 1-10 |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

| | | |
|---|-----|--|
| * Special categories of cited documents: | "T" | later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance. | | |
| "E" earlier document but published on or after the international filing date | | |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "X" | document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "O" document referring to an oral disclosure use, exhibition, or other means | "Y" | document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other documents , such combination being obvious to a person skilled in the art |
| "P" document published prior to the international filing date but later than the priority date claimed | | |
| | "&" | document member of the same patent family |

Date of the actual completion of the international search

27 August 2010 (27.08.2010)

Date of mailing of the international search report

(30/07/2010)

Name and mailing address of the ISA/
O.E.P.M.

Paseo de la Castellana, 75 28071 Madrid, España.
Facsimile No. 34 91 3495304

Authorized officer

J. Botella Maldonado

Telephone No. +34 91 349 53 82

INTERNATIONAL SEARCH REPORT

International application No.

PCT/ES 2010/070321

C (continuation).

DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of documents, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| A | Ehsanian M.; Kaminska B.; Arabi K.. "A new digital test approach for analog-to-digital converter testing" VLSI Test Symposium, 1996., Proceedings of 14th Princeton, NJ, USA 28 April-1 May 1996, 28.04.1996 - 01.05.1996 Los Alamitos, CA, USA,IEEE Comput. Soc, US 28 April 1996 (28-04-1996) XP010164795 ISBN 978-0-8186- 7304-7 ; ISBN 0-8186-7304-4. | 1-10 |

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional Nº

PCT/ ES 2010/070321

A. CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD

H03M 1/10 (2006.01)

De acuerdo con la Clasificación Internacional de Patentes (CIP) o según la clasificación nacional y CIP.

B. SECTORES COMPRENDIDOS POR LA BÚSQUEDA

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

H03M1/10

Otra documentación consultada, además de la documentación mínima, en la medida en que tales documentos formen parte de los sectores comprendidos por la búsqueda

Bases de datos electrónicas consultadas durante la búsqueda internacional (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, WPI, NPL, XPESP, XPAIP, XPI3E, INSPE.

C. DOCUMENTOS CONSIDERADOS RELEVANTES

| Categoría* | Documentos citados, con indicación, si procede, de las partes relevantes | Relevante para las reivindicaciones Nº |
|------------|--|--|
| A | Hanqing Xing; Hanjun Jiang; Degang Chen; Randall Geiger. "A fully digital-compatible BIST strategy for ADC linearity testing" Test Conference, 2007. ITC 2007. IEEE International, 01-10-2007 IEEE, Pi 01 OCTUBRE 2007 (01-10-2007) pg 1-10 XP031207037 ISBN 978-1-4244-1127-6 ; ISBN 1-4244-1127-0. | 1-10 |

☒ En la continuación del Recuadro C se relacionan otros documentos

☐ Los documentos de familias de patentes se indican en el Anexo

| | | |
|--|-----|--|
| * Categorías especiales de documentos citados: | "T" | documento ulterior publicado con posterioridad a la fecha de presentación internacional o de prioridad que no pertenece al estado de la técnica pertinente pero que se cita por permitir la comprensión del principio o teoría que constituye la base de la invención. |
| "A" documento que define el estado general de la técnica no considerado como particularmente relevante. | "X" | documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado. |
| "E" solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior. | "Y" | documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia. |
| "L" documento que puede plantear dudas sobre una reivindicación de prioridad o que se cita para determinar la fecha de publicación de otra cita o por una razón especial (como la indicada). | "&" | documento que forma parte de la misma familia de patentes. |
| "O" documento que se refiere a una divulgación oral, a una utilización, a una exposición o a cualquier otro medio. | | |
| "P" documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada. | | |

Fecha en que se ha concluido efectivamente la búsqueda internacional.

27 Agosto 2010 (27.08.2010)

Fecha de expedición del informe de búsqueda internacional

30-JULIO-2010 (30/07/2010)

Nombre y dirección postal de la Administración encargada de la búsqueda internacional

O.E.P.M.

Paseo de la Castellana, 75 28071 Madrid, España.

Nº de fax 34 91 3495304

Funcionario autorizado

J. Botella Maldonado

Nº de teléfono +34 91 349 53 82

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional N°

PCT/ES 2010/070321

| C (continuación). DOCUMENTOS CONSIDERADOS RELEVANTES | | |
|--|--|--|
| Categoría* | Documentos citados, con indicación, si procede, de las partes relevantes | Relevante para las reivindicaciones N° |
| A | Ehsanian M.; Kaminska B.; Arabi K.. "A new digital test approach for analog-to-digital converter testing" VLSI Test Symposium, 1996., Proceedings of 14th Princeton, NJ, USA 28 April- 1 May 1996, 28.04.1996 - 01.05.1996 Los Alamitos, CA, USA,IEEE Comput. Soc, US 28 abril 1996 (28-04-1996) XP010164795 ISBN 978-0-8186- 7304-7 ; ISBN 0-8186-7304-4. | 1-10 |